

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-082768

(43)Date of publication of application : 12.05.1984

(51)Int.Cl.

H01L 29/78

(21)Application number : 57-193209

(71)Applicant : NEC CORP

(22)Date of filing : 02.11.1982

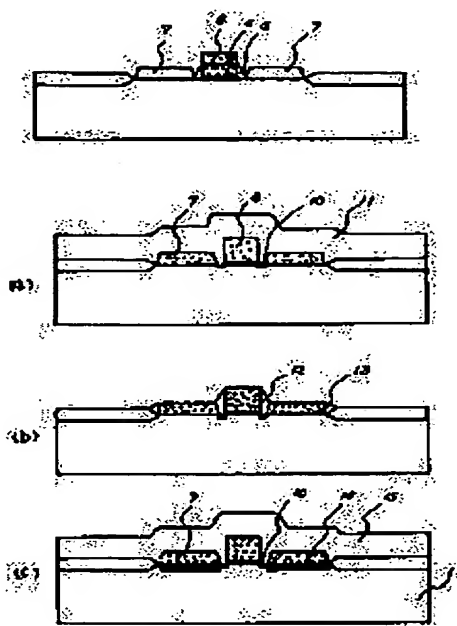
(72)Inventor : MIKOSHIBA KEIMEI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form actual junction depth shallow from the point of view of a channel region even when deep diffusion layers are formed by a method wherein polycrystalline silicon or single crystal silicon is grown on source and drain regions.

CONSTITUTION: The gate electrode 4 of a silicon gate MOS transistor is formed, and after an oxide film is grown on the surface of the element, the side walls 5 of the oxide film are formed according to anisotropic etching. When selectively epitaxial growth is performed, silicon regions 7, 8 are grown only on a source region and a drain region exposing silicon and on the polycrystalline silicon gate 4. After the side walls 5 are etched, impurities are introduced extremely slightly according to ion implantation to form a shallow diffusion layer 10. After an oxide film 11 is grown thick, when the oxide film 11 is etched just by the amount of thickness, the oxide film at the parts 12, 13 are left enabling to bury the valleys. Then, impurities are introduced to the regions 7, 8 according to ion implantation, and when high temperature annealing for activation is performed, impurities are diffused to form junctions 14 in the substrate 1.



LEGAL STATUS

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—82768

⑪ Int. Cl.³
H 01 L 29/78

識別記号

庁内整理番号
7377—5F

⑬ 公開 昭和59年(1984)5月12日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 特 願 昭57—193209

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭57(1982)11月2日

東京都港区芝5丁目33番1号

⑱ 発 明 者 御子柴啓明

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 少なくとも1個のMOSトランジスタが形成されるシリコン単結晶基板の一面面上の、ソース・ドレインあるいは拡散層が形成されるべき領域上にあるのみ、シリコン選択成長によって単結晶あるいは多結晶シリコン層が、選択的に成長され、前記シリコン層を通して不純物が拡散され、前記基板内部に拡散層の接合が形成されることを特徴とする半導体装置の製造方法。

(2) 特許請求範囲第(1)項において、前記シリコン層とゲート電極の間の前記シリコン基板表面に、イオン注入法により浅い拡散層が形成されていることを特徴とする半導体装置の製造方法。

(3) 特許請求範囲第(1)項もしくは第(2)項において、前記シリコン層とフィールド領域の間及び、

前記シリコン層と前記ゲート電極の間に形成される谷あるいは段部に、酸化物が埋め込まれていることを特徴とする半導体装置の製造方法。

(4) 特許請求範囲第(1)項、第(2)項もしくは第(3)項において、前記多結晶シリコン上にも選択酸化によってシリコン層が成長されることを特徴とする半導体装置の製造方法。

(5) 特許請求範囲第(1)項、第(2)項もしくは第(3)項において、前記ゲート電極がシリサイドであることを特徴とする、半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、半導体装置の製造方法にかかり、とくに短チャンネルMOSトランジスタの製造方法に関するものである。

シリコンMOS集積回路をいっそう高速・高密度化するためには、MOSトランジスタの微細化が必要である。MOSトランジスタの微細化は、原則的にはスケーリング則に従って行なわれる。MOSトランジスタの性能および寸法を決

定する最も重要なパラメーターはゲート長である。ステアリング則に従えば、ゲート長を短くするためには、基板濃度を2倍に、ゲート酸化膜厚および拡散層深さを短くしなければならない。

例えば、ゲート長が1 μ mのMOSトランジスターを実現するためには、基板濃度が 10^{18} cm $^{-3}$ 程度、ゲート酸化膜厚が200Å程度、拡散層深さが0.2 μ m程度必要である。このうち、製造技術的に最も困難なのは浅い拡散層を実現することである。

拡散層は通常イオン注入法と炉アニールによる活性化によって形成される。イオン注入された不純物原子を電気的に活性化し、かつ結晶性を回復させるためには、通常900℃程度以上の炉アニールを数十分以上行なう必要がある。この高温アニール中に不純物は深く拡散される。MOSトランジスターのソース・ドレイン拡散層は、抵抗値を低くするために、高濃度の不純物がイオン注入される。その結果、高温アニール後の拡散層深さは、ホウ素の様に拡散係数の大きな原子の場合には、0.4 μ m程度になる。この値は、ゲート長1 μ mの

— 3 —

である。

第2図は、第1図に示した断面構造の素子に、酸化膜の側壁5をつけた素子構造の断面を示したものである。側壁は、気相成長等により酸化膜を第1図に示した素子の表面に成長した後、リアクティブイオンエッチ等の異方性エッチングによって、所記酸化膜をエッチングすることによって形成される。

第3図は、本発明の実施例である。第2図の状態、選択エピタキシャル成長を行う。すると第3図に示される様に、シリコンが露出しているソースドレイン領域6上と多結晶シリコン4上とのみシリコンが成長する。成長温度が高い時は、単結晶シリコン上に成長した領域7は単結晶になる。成長温度が低い時は多結晶になる。多結晶シリコン上の領域8は、成長温度にかかわらず多結晶になる。pn接合を基板1と領域7の界面の極く近傍に作らない限り、領域7は単結晶である必要はない。pn接合が基板内に出来る場合は、領域7は多結晶で良い。多結晶成長は900℃以下の低温

— 5 —

PチャンネルMOSトランジスターを実現するためには、大き過ぎる値である。従って、PチャンネルMOSトランジスターの短チャンネル化は、イオン注入と炉アニール法では困難が伴う。

本発明は、イオン注入と炉アニール法で比較的深い拡散層が形成されても、実効的なソース・ドレイン拡散層深さが浅くなる様なMOSトランジスターの構造および製造方法に関するものである。本発明は、シリコン上だけに選択的に多結晶シリコン成長あるいは単結晶シリコンエピタキシャル成長する技術を用いる。すなわちソースドレイン領域上に多結晶シリコン又は単結晶シリコンを成長させ、ることにより、深い拡散層が形成されても、チャンネル領域から見た実際の接合深さは浅くなる様にする事が出来る。

第1図は、従来の選択酸化法を用いた、シリコンゲートMOSトランジスターのゲート電極形成工程が完了した時点での素子断面図である。1は単結晶シリコン基板、2はフィールド酸化膜、3はゲート酸化膜そして4は多結晶シリコンゲート

— 4 —

で行えるため、不純物の再分布が少なく都合が良い。

第4図に、本発明の実施例を用いたMOSトランジスターの製造方法を工程順に示す。第3図に示した素子構造から出発する。まず、側壁5をエッチングする。次に、イオン注入により極めて軽く不純物を導入して浅い拡散層10を形成する。この拡散層10は、トランジスターがオフセットゲート構造になるのを防止する。従って、層抵抗は高くても良いから、接合深さが浅くなる様にする事が重要である。次に、酸化膜11を厚く成長し、フィールド酸化膜と領域7の間の谷や、領域7と領域8の間の谷が埋まる様にする(a)。次に、酸化膜11を丁度厚さの分だけエッチングすると、12及び13の部分が残されて、谷を埋めることが出来る(b)。次に、イオン注入により不純物を領域7及び8へ導入する(c)。活性化のための高温アニールを行うと、不純物は拡散して基板1内に接合14を形成する。アニール温度と時間をコントロールすることにより、0.1 μ m程度の浅い接合を

— 6 —

形成することも可能である。以後、気相成長酸化膜15で被い、コンタクト窓を開孔し、アルミ配線を行えば、MOS集積回路を実現できる。

本発明の特徵は、極めて浅い接合を低抵抗で実現できるだけでなく、アルミと拡散層のコンタクトを取ることを容易にする点にもある。即ち7の厚みが数千Åあれば、浅い接合をアロイスバイクから守ることができる。

本発明の実施例第3図では、ゲート多結晶シリコン4の上にも選択成長で多結晶シリコン8が成長する。このため、ゲート電極が厚くなってしまふ。この欠点を取り除くためには、ゲート電極4の表面をあらかじめ酸化膜等で被っておけば良い。そうすれば、領域6(第2図)上のみシリコンが成長し、ゲート電極上には成長しない。

選択シリコン成長は、シリコンエビタキシャルのガス内にHCl等を混入することによって可能になる。HClガスはシリコンをエッチングする作用を持つ。シリコン上と酸化膜上では、シリコンの成長速度が異なるため、エッチング速度と成長速

度比を適度を選択すれば、シリコン上でのみシリコン成長を行うことが可能である。

以上に説明した様に、シリコン選択成長技術を利用した、本発明の製造方法を用いることにより、0.1 μ m程度のきわめて浅い接合を実現できる。その結果、チャンネル長が1 μ m以下のMOSトランジスターを通常のイオン注入法と炉アニール法を用いて容易に実現できる。

4. 図面の簡単な説明

第1図及び第2図は従来技術を説明するための素子断面図、第3図及び第4図(a)(b)(c)は、本発明の実施例を説明するための素子断面図である。

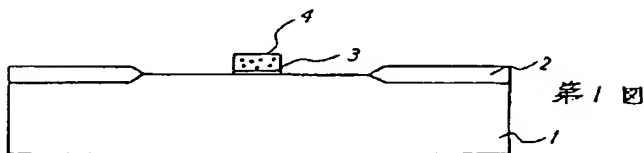
尚、図において、1……シリコン基板、2……フィールド酸化膜、3……ゲート酸化膜、4……ゲート電極、5……側壁、6……ソースドレイン領域、7……選択成長したシリコン層、8……選択成長したシリコン層、10……浅い拡散層、11……酸化膜、12, 13……谷を埋めた酸化膜、14……拡散層。

代理人 弁理士 内 原 普

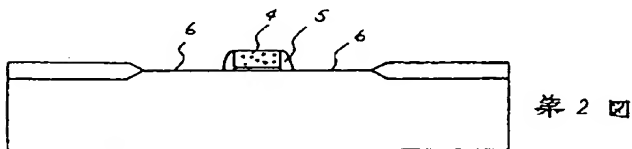


— 7 —

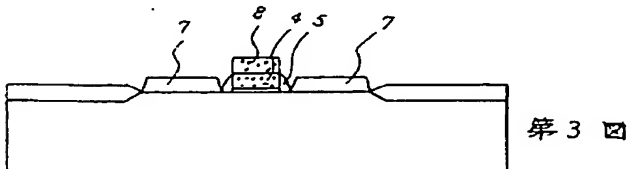
— 8 —



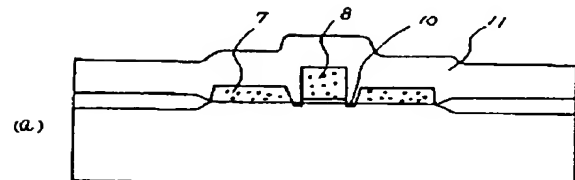
第1図



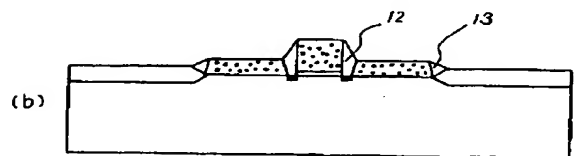
第2図



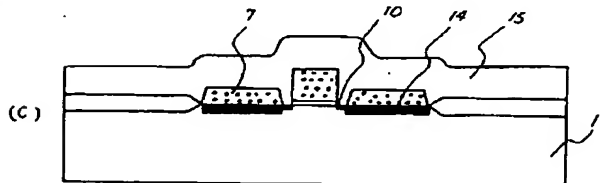
第3図



(a)



(b)



(c)

第4図